

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Minoru KAMBEGAWA

Serial No.: 09/881,196

Filed: June 14, 2001



Batch:

Group Art Unit: 2121

Examiner:

For: ARITHMETIC DECODING METHOD AND DEVICE AND STORAGE MEDIUM

Certificate of Mailing

I hereby certify that this paper is being deposited with the United States Postal Service as first class mail in an envelope addressed to: Assistant Commissioner of Patents, Washington, D.C. 20231 on:

Date: 08/13/01

By: Marc A. Rossi
Marc A. Rossi

CLAIM FOR PRIORITY

Assistant Commissioner for Patents
Washington, D.C. 20231

Sir:

The benefit of the filing date of the following prior foreign application filed in the following country is hereby requested for the above-identified application and the priority provided in 35 U.S.C. § 119 is hereby claimed:

JAPAN 2000-178704 June 14, 2000

In support of this claim, a certified copy of said original foreign application is filed herewith. It is requested that the file of this application be marked to indicate that the requirements of 35 U.S.C. 119 have been fulfilled and that the Patent and Trademark Office kindly acknowledge receipt of this document.

Respectfully submitted,

08/13/01
Date

Attorney Docket: CANO:030

Marc A. Rossi
Marc A. Rossi
Registration No. 31,923

RECEIVED
AUG 17 2001
Technology Center 2100

2121
#3



CFW 34 US

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2000年 6月14日

出願番号

Application Number:

特願2000-178704

出願人

Applicant(s):

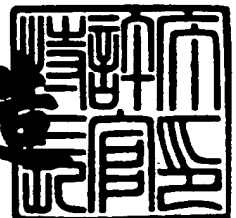
キヤノン株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年 6月26日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-306014

【書類名】 特許願

【整理番号】 4149121

【提出日】 平成12年 6月14日

【あて先】 特許庁長官殿

【国際特許分類】 H03M 13/00
G11C 11/00

【発明の名称】 算術複合化方法及び装置並びに記憶媒体

【請求項の数】 27

【発明者】

 【住所又は居所】 東京都大田区下丸子3丁目30番2号 キヤノン株式会社
社内

 【氏名】 神戸川 実

【特許出願人】

 【識別番号】 000001007

 【氏名又は名称】 キヤノン株式会社

 【代表者】 御手洗 富士夫

【代理人】

 【識別番号】 100081880

 【弁理士】

 【氏名又は名称】 渡部 敏彦

 【電話番号】 03(3580)8464

【手数料の表示】

 【予納台帳番号】 007065

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 9703713

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 算術複合化方法及び装置並びに記憶媒体

【特許請求の範囲】

【請求項 1】 ビットプレーンからなる画像データを算術符号化した算術符号を複合化する算術複合化方法であって、対応可能な画像のうちで最も多いビットプレーン層数を n としたとき n ビットの画像データを複合化する際には n 個の個別にアクセス可能なメモリのそれぞれに各ビットプレーンの対象画素に対応する予測値と状態値とを保持し複合化し、 n 未満のビットの画像データを複合化する際には 1 つのビットプレーンの対象画素に対応する予測値と状態値とを n 個のメモリの一部または全てに分割して保持し複合化することを特徴とする算術複合化方法。

【請求項 2】 前記画像データは 1 つまたは複数のビットプレーンからなることを特徴とする請求項 1 に記載の算術複合化方法。

【請求項 3】 前記メモリは R A M（ランダムアクセスメモリ）であることを特徴とする請求項 1 に記載の算術複合化方法。

【請求項 4】 ビットプレーンからなる画像データを算術符号化した算術符号を複合化する算術複合化装置であって、対応可能な画像のうちで最も多いビットプレーン層数を n としたとき n 個の個別にアクセス可能なメモリと、制御手段とを具備し、前記制御手段は、 n ビットの画像データを複合化する際には n 個のメモリのそれぞれに各ビットプレーンの対象画素に対応する予測値と状態値とを保持し複合化し、 n 未満のビットの画像データを複合化する際には 1 つのビットプレーンの対象画素に対応する予測値と状態値とを n 個のメモリの一部または全てに分割して保持し複合化するように制御することを特徴とする算術複合化装置。

【請求項 5】 前記画像データは 1 つまたは複数のビットプレーンからなることを特徴とする請求項 4 に記載の算術複合化装置。

【請求項 6】 前記メモリは R A M（ランダムアクセスメモリ）であることを特徴とする請求項 4 に記載の算術複合化装置。

【請求項 7】 ビットプレーンからなる画像データを算術符号化した算術符

号を複合化する算術複合化方法であって、対応可能な画像のうちで最も多いビットプレーン層数を n としたとき n ビットの画像データを複合化する際には n 個の個別にアクセス可能なメモリのそれぞれに各ビットプレーンの対象画素に対応する予測値と確立推定値とを保持し複合化し、 n 未満のビットの画像データを複合化する際には1つのビットプレーンの対象画素に対応する予測値と確立推定値とを n 個のメモリの一部または全てに分割して保持し複合化することを特徴とする算術複合化方法。

【請求項8】 前記画像データは1つまたは複数のビットプレーンからなることを特徴とする請求項7に記載の算術複合化方法。

【請求項9】 前記メモリはRAM（ランダムアクセスメモリ）であることを特徴とする請求項7に記載の算術複合化方法。

【請求項10】 ビットプレーンからなる画像データを算術符号化した算術符号を複合化する算術複合化装置であって、対応可能な画像のうちで最も多いビットプレーン層数を n としたとき n 個の個別にアクセス可能なメモリと、制御手段とを具備し、前記制御手段は、 n ビットの画像データを複合化する際には n 個のメモリのそれぞれに各ビットプレーンの対象画素に対応する予測値と確立推定値とを保持し複合化し、 n 未満のビットの画像データを複合化する際には1つのビットプレーンの対象画素に対応する予測値と確立推定値とを n 個のメモリの一部または全てに分割して保持し複合化するように制御することを特徴とする算術複合化装置。

【請求項11】 前記画像データは1つまたは複数のビットプレーンからなることを特徴とする請求項10に記載の算術複合化装置。

【請求項12】 前記メモリはRAM（ランダムアクセスメモリ）であることを特徴とする請求項10に記載の算術複合化装置。

【請求項13】 ビットプレーンからなる画像データを算術符号化した算術符号を複合化する算術複合化装置を制御するための制御プログラムを格納した記憶媒体であって、前記制御プログラムは、対応可能な画像のうちで最も多いビットプレーン層数を n としたとき n ビットの画像データを複合化する際には n 個の個別にアクセス可能なメモリのそれぞれに各ビットプレーンの対象画素に対応す

る予測値と状態値とを保持し複合化し、 n 未満のビットの画像データを複合化する際には1つのビットプレーンの対象画素に対応する予測値と状態値とを n 個のメモリの一部または全てに分割して保持し複合化するように制御する制御モジュールを有することを特徴とする記憶媒体。

【請求項14】 前記画像データは1つまたは複数のビットプレーンからなることを特徴とする請求項13に記載の記憶媒体。

【請求項15】 前記メモリはRAM（ランダムアクセスメモリ）であることを特徴とする請求項13に記載の記憶媒体。

【請求項16】 ビットプレーンからなる画像データを算術符号化した算術符号を複合化する算術複合化装置を制御するための制御プログラムを格納した記憶媒体であって、前記制御プログラムは、対応可能な画像のうちで最も多いビットプレーン層数を n としたとき n ビットの画像データを複合化する際には n 個の個別にアクセス可能なメモリのそれぞれに各ビットプレーンの対象画素に対応する予測値と確立推定値とを保持し複合化し、 n 未満のビットの画像データを複合化する際には1つのビットプレーンの対象画素に対応する予測値と確立推定値とを n 個のメモリの一部または全てに分割して保持し複合化するように制御する制御モジュールを有することを特徴とする記憶媒体。

【請求項17】 前記画像データは1つまたは複数のビットプレーンからなることを特徴とする請求項16に記載の記憶媒体。

【請求項18】 前記メモリはRAM（ランダムアクセスメモリ）であることを特徴とする請求項16に記載の記憶媒体。

【請求項19】 前記記憶媒体は、フロッピーディスクであることを特徴とする請求項13乃至18のいずれかに記載の記憶媒体。

【請求項20】 前記記憶媒体は、ハードディスクであることを特徴とする請求項13乃至18のいずれかに記載の記憶媒体。

【請求項21】 前記記憶媒体は、光ディスクであることを特徴とする請求項13乃至18のいずれかに記載の記憶媒体。

【請求項22】 前記記憶媒体は、光磁気ディスクであることを特徴とする請求項13乃至18のいずれかに記載の記憶媒体。

【請求項23】 前記記憶媒体は、CD-ROM (Compact Disk Read Only Memory) であることを特徴とする請求項13乃至18のいずれかに記載の記憶媒体。

【請求項24】 前記記憶媒体は、CD-R (Compact Disk Recordable) であることを特徴とする請求項13乃至18のいずれかに記載の記憶媒体。

【請求項25】 前記記憶媒体は、磁気テープであることを特徴とする請求項13乃至18のいずれかに記載の記憶媒体。

【請求項26】 前記記憶媒体は、不揮発性メモリカードであることを特徴とする請求項13乃至18のいずれかに記載の記憶媒体。

【請求項27】 前記記憶媒体は、ROM (Read Only Memory) チップであることを特徴とする請求項13乃至18のいずれかに記載の記憶媒体。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、算術符号 (Arithmetic code) を用いて画像データを符号化された算術符号を複合化する算術符号化方法及び装置、特に2値画像においても多値画像においても処理可能な算術符号化方法及び装置並びにこの算術符号化装置を制御するための制御プログラムを格納した記憶媒体に関する。

【0002】

【従来の技術】

算術符号は、 $(0, 1)$ の数値直線上の対応区間 (2進小数で $[0.0, \dots 0, 0.1, \dots 1]$) を各シンボルの正規確率に応じて不等長に分割していき、符号化対象シンボル系列を対応する部分区間に割り当て、再帰的に分割を繰り返していくことにより得られた区間内に含まれる点の座標を、少なくとも他の区間と区別できる2進小数で表現して、そのまま符号とするものである。

【0003】

算術符号の方式として代表的なものとして、ITU (International

al Telecommunication: 国際電気通信連合) の機関である JBIG (Joint Bi-level Image Experts Group) で標準化された JBIG (QM-coder) 方式、IBM 社が提案している Q-coder 方式等がある。

【0004】

各方式により使用されている用語が異なるため、ここでは標準方式である JBIG 方式に用いられている用語を使用することにする。

【0005】

原理的な算術符号では、算術演算部で乗算処理を必要とするが、それだと算術演算部のハードウェア規模が大きくなるとか、乗算処理に要する時間が長くなるといった問題があり、該算術演算を加減演算に置き換えて簡略化した方式が主流になっている。

【0006】

算術演算部の内部には、符号化シンボル系列に対応する領域幅 (オージェント) を保持する A レジスタと、算術符号 (コード) を発生する基となる値を保持するコードレジスタ (C レジスタ) とがある。符号化予測値に対して符号化対象シンボルが外れる確立に対応する値を確立推定値 (LSZ) とすると、算術演算部には予測値 (MPS)、対象シンボルの値及び LSZ が入力として与えられ、前記対象シンボルが MPS と一致したか否かという情報に基づいて、該確定推定値と前記 2 つのレジスタの値とから算術演算 (加減算) を行い、該 2 つのレジスタの値を更新する。

【0007】

前記領域幅は分割されるたびに小さくなるので精度を保つために A レジスタの値は正規化される。これは A レジスタ及び C レジスタを左にビットシフトすることである。C レジスタの上位の確定したビットは算術符号として出力される。

【0008】

複合化を行うときは算術演算部に MPS、LSZ 及び算術符号が与えられる。LSZ と算術符号の値から MPS と対象シンボルとが一致したか否かが分かるので、対象シンボルの値を逆算することができる。

【0009】

MPSとLSZはCX（コンテキスト）と呼ばれる情報から求められる。CXは対象シンボルの処理時に既に出現した近傍のシンボル値から構成される。JBIGでは10個のシンボル値からCXを構成するので、CXのとり得る値は1024通りであり、それぞれがMPSと状態値（ST）とを持っている。LSZはコンテキスト（CX）の状態値を所定の対応表に従って変換することによって得られる。

【0010】

コンテキスト（CX）ごとに持つMPSとSTは、ある条件の元で更新することにより、符号化シンボル系列固有のパターンを学習することができ、符号化効率を高めることができる。具体的に言えば10本のアドレスを持つRAM（ランダムアクセスメモリ）にMPSとSTをデータとしてセットしておき、CXをアドレスするRAMの出力をMPSとSTとする。MPSとSTの更新は、データの書き換えによって実現される。

【0011】

算術符号化方式において、符号化対象シンボル及びMPSは2値であるので、JBIGでは2値画像に対する処理法のみを規定している。但し、多値画像に対しても1ビットづつデータを切り出して算術演算を行うことが可能である。この場合、算術演算部は2値でも多値でも関係ないが、LSZの導き方については工夫が必要である。何故ならば、対象シンボルが属するビットの階層によって対象シンボル以前に出現したシンボル群（コンテキスト）と対象シンボルの出現確率の相関は異なるからである。つまり、LSZと対になるコンテキストのとり方はビットプレーンごとに独立して持つ必要がある。

【0012】

また、別の技術的課題として複合化の高速化に関するものがあつた。算術符号の原理からいって、コンテキストは対象画素と相関が強い方が圧縮効率が高まる。また、処理済みの画素である必要があることから、例えば、1ビットの画像を扱う場合、1画素前のシンボルはコンテキストの構成要素の1つとなる。これは算術演算で複合化を行うとき処理速度を上げるための制約となる。何故ならば、

直前画素の値が決定するまで対象画素のコンテキストが一意に決定せず、従って、状態値の読み出しを開始できないからである。

【0013】

これを解決するための手段として、MPSとSTを保持するRAMを複数に分割して先読みする方法がある。これは、例えば、2画素前の値が決定した時点でコンテキストは1画素前が0のときと1のときの2通りに絞られるから、2つのRAMを同時に読み出し、1画素前の値が決定した時点で読み出された2つの状態値から一方を選ぶ方法である。

【0014】

【発明が解決しようとする課題】

上述した従来例においては、多値画像に対して最適な算術符号化を行う場合及び2値画像の複合化処理を高速に行う場合のいずれにおいても、メモリの分割が必要であった。また、2値画像と多値画像の両方を処理可能な算術複合化装置を提供しようとした場合、算術演算部を共通化できても状態メモリを共通化することはできず、高価になるという問題点があった。

【0015】

本発明は上述した従来技術の有するこのような問題点に鑑みてなされたものであり、その第1の目的とするところは、2値画像と多値画像の両方を処理することができる安価な算術複合化方法及び装置を提供することにある。

【0016】

また、本発明の第2の目的とするところは、上述した本発明の算術複合化装置を制御するための制御プログラムを格納した記憶媒体を提供することにある。

【0017】

【課題を解決するための手段】

上記第1の目的を達成するために請求項1に記載の算術複合化方法は、ビットプレーンからなる画像データを算術符号化した算術符号を複合化する算術複合化方法であって、対応可能な画像のうちで最も多いビットプレーン層数を n としたとき n ビットの画像データを複合化する際には n 個の個別にアクセス可能なメモリのそれぞれに各ビットプレーンの対象画素に対応する予測値と状態値とを保持

し複合化し、 n 未満のビットの画像データを複合化する際には1つのビットプレーンの対象画素に対応する予測値と状態値とを n 個のメモリの一部または全てに分割して保持し複合化することを特徴とする。

【0018】

また、上記第1の目的を達成するために請求項2に記載の算術複合化方法は、請求項1に記載の算術複合化方法において、前記画像データは1つまたは複数のビットプレーンからなることを特徴とする。

【0019】

また、上記第1の目的を達成するために請求項3に記載の算術複合化方法は、請求項1に記載の算術複合化方法において、前記メモリはRAM（ランダムアクセスメモリ）であることを特徴とする。

【0020】

また、上記第1の目的を達成するために請求項4に記載の算術複合化装置は、ビットプレーンからなる画像データを算術符号化した算術符号を複合化する算術複合化装置であって、対応可能な画像のうちで最も多いビットプレーン層数を n としたとき n 個の個別にアクセス可能なメモリと、制御手段とを具備し、前記制御手段は、 n ビットの画像データを複合化する際には n 個のメモリのそれぞれに各ビットプレーンの対象画素に対応する予測値と状態値とを保持し複合化し、 n 未満のビットの画像データを複合化する際には1つのビットプレーンの対象画素に対応する予測値と状態値とを n 個のメモリの一部または全てに分割して保持し複合化するように制御することを特徴とする。

【0021】

また、上記第1の目的を達成するために請求項5に記載の算術複合化装置は、請求項4に記載の算術複合化装置において、前記画像データは1つまたは複数のビットプレーンからなることを特徴とする。

【0022】

また、上記第1の目的を達成するために請求項6に記載の算術複合化装置は、請求項4に記載の算術複合化装置において、前記メモリはRAM（ランダムアクセスメモリ）であることを特徴とする。

【 0 0 2 3 】

また、上記第 1 の目的を達成するために請求項 7 に記載の算術復合化方法は、ビットプレーンからなる画像データを算術符号化した算術符号を復合化する算術復合化方法であって、対応可能な画像のうちで最も多いビットプレーン層数を n としたとき n ビットの画像データを復合化する際には n 個の個別にアクセス可能なメモリのそれぞれに各ビットプレーンの対象画素に対応する予測値と確立推定値とを保持し復合化し、 n 未満のビットの画像データを復合化する際には 1 つのビットプレーンの対象画素に対応する予測値と確立推定値とを n 個のメモリの一部または全てに分割して保持し復合化することを特徴とする。

【 0 0 2 4 】

また、上記第 1 の目的を達成するために請求項 8 に記載の算術復合化方法は、請求項 7 に記載の算術復合化方法において、前記画像データは 1 つまたは複数のビットプレーンからなることを特徴とする。

【 0 0 2 5 】

また、上記第 1 の目的を達成するために請求項 9 に記載の算術復合化方法は、請求項 7 に記載の算術復合化方法において、前記メモリは RAM（ランダムアクセスメモリ）であることを特徴とする。

【 0 0 2 6 】

また、上記第 1 の目的を達成するために請求項 1 0 に記載の算術復合化装置は、ビットプレーンからなる画像データを算術符号化した算術符号を復合化する算術復合化装置であって、対応可能な画像のうちで最も多いビットプレーン層数を n としたとき n 個の個別にアクセス可能なメモリと、制御手段とを具備し、前記制御手段は、 n ビットの画像データを復合化する際には n 個のメモリのそれぞれに各ビットプレーンの対象画素に対応する予測値と確立推定値とを保持し復合化し、 n 未満のビットの画像データを復合化する際には 1 つのビットプレーンの対象画素に対応する予測値と確立推定値とを n 個のメモリの一部または全てに分割して保持し復合化するように制御することを特徴とする。

【 0 0 2 7 】

また、上記第 1 の目的を達成するために請求項 1 1 に記載の算術復合化装置は

、請求項 1 0 に記載の算術複合化装置において、前記画像データは 1 つまたは複数のビットプレーンからなることを特徴とする。

【 0 0 2 8 】

また、上記第 1 の目的を達成するために請求項 1 2 に記載の算術複合化装置は、請求項 1 0 に記載の算術複合化装置において、前記メモリは R A M（ランダムアクセスメモリ）であることを特徴とする。

【 0 0 2 9 】

また、上記第 2 の目的を達成するために請求項 1 3 に記載の記憶媒体は、ビットプレーンからなる画像データを算術符号化した算術符号を複合化する算術複合化装置を制御するための制御プログラムを格納した記憶媒体であって、前記制御プログラムは、対応可能な画像のうちで最も多いビットプレーン層数を n としたとき n ビットの画像データを複合化する際には n 個の個別にアクセス可能なメモリのそれぞれに各ビットプレーンの対象画素に対応する予測値と状態値とを保持し複合化し、 n 未満のビットの画像データを複合化する際には 1 つのビットプレーンの対象画素に対応する予測値と状態値とを n 個のメモリの一部または全てに分割して保持し複合化するように制御する制御モジュールを有することを特徴とする。

【 0 0 3 0 】

また、上記第 2 の目的を達成するために請求項 1 4 に記載の記憶媒体は、請求項 1 3 に記載の記憶媒体において、前記画像データは 1 つまたは複数のビットプレーンからなることを特徴とする。

【 0 0 3 1 】

また、上記第 2 の目的を達成するために請求項 1 5 に記載の記憶媒体は、請求項 1 3 に記載の記憶媒体において、前記メモリは R A M（ランダムアクセスメモリ）であることを特徴とする。

【 0 0 3 2 】

また、上記第 2 の目的を達成するために請求項 1 6 に記載の記憶媒体は、ビットプレーンからなる画像データを算術符号化した算術符号を複合化する算術複合化装置を制御するための制御プログラムを格納した記憶媒体であって、前記制御

プログラムは、対応可能な画像のうちで最も多いビットプレーン層数を n としたとき n ビットの画像データを複合化する際には n 個の個別にアクセス可能なメモリのそれぞれに各ビットプレーンの対象画素に対応する予測値と確立推定値とを保持し複合化し、 n 未満のビットの画像データを複合化する際には 1 つのビットプレーンの対象画素に対応する予測値と確立推定値とを n 個のメモリの一部または全てに分割して保持し複合化するように制御する制御モジュールを有することを特徴とする。

【 0 0 3 3 】

また、上記第 2 の目的を達成するために請求項 1 7 に記載の記憶媒体は、請求項 1 6 に記載の記憶媒体において、前記画像データは 1 つまたは複数のビットプレーンからなることを特徴とする。

【 0 0 3 4 】

また、上記第 2 の目的を達成するために請求項 1 8 に記載の記憶媒体は、請求項 1 6 に記載の記憶媒体において、前記メモリは RAM（ランダムアクセスメモリ）であることを特徴とする。

【 0 0 3 5 】

また、上記第 2 の目的を達成するために請求項 1 9 に記載の記憶媒体は、請求項 1 3 乃至 1 8 のいずれかに記載の記憶媒体において、前記記憶媒体は、フロッピーディスクであることを特徴とする。

【 0 0 3 6 】

また、上記第 2 の目的を達成するために請求項 2 0 に記載の記憶媒体は、請求項 1 3 乃至 1 8 のいずれかに記載の記憶媒体において、前記記憶媒体は、ハードディスクであることを特徴とする。

【 0 0 3 7 】

また、上記第 2 の目的を達成するために請求項 2 1 に記載の記憶媒体は、請求項 1 3 乃至 1 8 のいずれかに記載の記憶媒体において、前記記憶媒体は、光ディスクであることを特徴とする。

【 0 0 3 8 】

また、上記第 2 の目的を達成するために請求項 2 2 に記載の記憶媒体は、請求

項 1 3 乃至 1 8 のいずれかに記載の記憶媒体において、前記記憶媒体は、光磁気ディスクであることを特徴とする。

【 0 0 3 9 】

また、上記第 2 の目的を達成するために請求項 2 3 に記載の記憶媒体は、請求項 1 3 乃至 1 8 のいずれかに記載の記憶媒体において、前記記憶媒体は、CD-ROM (Compact Disk Read Only Memory) であることを特徴とする。

【 0 0 4 0 】

また、上記第 2 の目的を達成するために請求項 2 4 に記載の記憶媒体は、請求項 1 3 乃至 1 8 のいずれかに記載の記憶媒体において、前記記憶媒体は、CD-R (Compact Disk Recordable) であることを特徴とする。

【 0 0 4 1 】

また、上記第 2 の目的を達成するために請求項 2 5 に記載の記憶媒体は、請求項 1 3 乃至 1 8 のいずれかに記載の記憶媒体において、前記記憶媒体は、磁気テープであることを特徴とする。

【 0 0 4 2 】

また、上記第 2 の目的を達成するために請求項 2 6 に記載の記憶媒体は、請求項 1 3 乃至 1 8 のいずれかに記載の記憶媒体において、前記記憶媒体は、不揮発性メモリカードであることを特徴とする。

【 0 0 4 3 】

更に、上記第 2 の目的を達成するために請求項 2 7 に記載の記憶媒体は、請求項 1 3 乃至 1 8 のいずれかに記載の記憶媒体において、前記記憶媒体は、ROM (Read Only Memory) チップであることを特徴とする。

【 0 0 4 4 】

【発明の実施の形態】

以下、本発明の一実施の形態を図面に基づき説明する。

【 0 0 4 5 】

図 1 は、本実施の形態に係る算術複合化装置の構成を示すブロック図である。

【0046】

同図において、160は複合化される算術符号データ、150はモード指定信号で、1ビットモードまたは2ビットモードまたは4ビットモードのいずれかを指定する信号である。

【0047】

108はラインバッファメモリで、複合化された画像データを主走査1ライン分バッファリングするものである。100はCX生成部で、ラインバッファメモリ108から出力される前ラインのデータと数画素前に複合化された画像データとからCX（コンテキスト）101を生成するものである。

【0048】

181乃至184はそれぞれ予測状態メモリで、2ポートの同期型SRAM（スタティックランダムアクセスメモリ）によって構成される。出力データ用のアドレスは共通にCX生成部100から出力されるCX101が与えられ、出力データとしては、それぞれMPS（予測値）185乃至188とST（状態値）189乃至192を出力するものである。

【0049】

140は予測状態値セレクト信号生成部で、予測状態値セレクト信号142を生成するものである。111は第1のセクタで、第1の予測状態メモリ181から出力されるMPS185、ST189または第2の予測状態メモリ182から出力されるMPS186、ST190のいずれか一方を選んで出力するものである。112は第2のセクタで、第3の予測状態メモリ183から出力されるMPS187、ST191または第4の予測状態メモリ184から出力されるMPS188、ST192のいずれか一方を選んで出力するものである。両セクタ111、112の選択は予測状態値セレクト信号142により行われる。

【0050】

121は第1のF/F（フリップフロップ）回路で、第1のセクタ111から出力されるデータ（MPS113、ST115）を保持するものである。122は第2のF/F（フリップフロップ）回路で、第2のセクタ112から出力されるデータ（MPS114、ST116）を保持するものである。131は第

1のST/LSZ変換部で、第1のF/F回路121から出力されるST125をLSZ（確立推定値）133に変換するものである。132は第2のST/LSZ変換部で、第2のF/F回路122から出力されるST126をLSZ（確立推定値）134に変換するものである。

【0051】

141はMPS/LSZセレクト信号生成部で、MPS/LSZセレクト信号143を生成するものである。105は第3のセクタで、第1のF/F回路121から出力されるMPS123と第1のST/LSZ変換部131から出力されるLSZ133の組または第2のF/F回路122から出力されるMPS124と第2のST/LSZ変換部132から出力されるLSZ134の組のいずれか一方をMPS/LSZセレクト信号143により選択して出力するものである。この第3のセクタ105の選択の指定は、MPS/LSZセレクト信号143により行われる。

【0052】

算術符号データ160は必要に応じて算術演算部106へ供給される。算術演算部106は算術符号データ160と第3のセクタ105から出力されるLSZ136の値から、算術符号化時の予測が当たったか否かを判定し、Yn信号171として出力する。また、第3のセクタ105から出力されるMPS135の値とYn信号171から複合化データ170の値が確定するので、それを出力する。

【0053】

107は予測状態更新部で、予測状態の更新が行われるときのために新しい予測状態値139を生成するものである。新しい予測状態値139はMPS135、LSZ136及びYn信号171によって決定される。

【0054】

以上が各ブロックの基本的な機能である。

【0055】

本実施の形態においては、予測値と状態値とを記憶する構成であるが、状態値の代わりに対応する確立推定値を記憶する構成としてもよい。状態値に対して確

立推定値のビット数は多いので、RAMの記憶容量はより多く必要となるため一般的ではないが、状態値の代わりに対応する確立推定値を記憶する構成にした場合は、状態値から確立推定値を求めるプロセスがなくなるという利点がある。

【 0 0 5 6 】

次に、2 値の画像データを複合化するときどのような動作を行うかについて説明する。

【 0 0 5 7 】

(1 ビットモード時)

図 2 は、2 値の画像データを扱うときのCXの取り方を示す図であり、同図において、編み線部分は符号化対象画素である。

【 0 0 5 8 】

図 1 において、モード指定信号 1 5 0 により 1 ビットモードであることをCX生成部 1 0 0、予測状態値セレクト信号生成部 1 4 0、MPS/LSZセレクト信号生成部 1 4 1 及び予測状態更新部 1 0 7 に通知する。

【 0 0 5 9 】

あるサイクルでCX生成部 1 0 0 では、図 2 のCX (0) からCX (7) までのコンテキスト (CX) を生成し出力したとする。1 ビットモードにおいてCX 1 0 1 のCX (8) とCX (9) は 0 に固定される。CX (1) とCX (9) に当たる画素はまだ符号化されていないので特定できない。つまり、それらの値によってCXの値は4 通りの場合が考えられる。説明の便宜上、このときのサイクルを第 1 のサイクルとする。

【 0 0 6 0 】

次のサイクル、即ち第 2 のサイクルにおいて第 1 の予測状態メモリ 1 8 1 乃至第 4 の予測状態メモリ 1 8 4 は、前記CXをアドレスとするデータを同時に出力する。また、このサイクルにおいて図 2 のCX (8) に当たる画素の値が算術演算部 1 0 6 において復号化され、その複合化データ 1 7 0 は予測状態値セレクト信号生成部 1 4 0 を介して第 1 のセクタ 1 1 1 及び第 2 のセクタ 1 1 2 の選択信号 1 4 2 として用いられる。第 1 のセクタ 1 1 1 及び第 2 のセクタ 1 1 2 によって選択出力されたMPS 1 1 3、ST 1 1 5 及びMPS 1 1 4、ST 1

16は、それぞれ第1のF/F回路121及び第2のF/F回路122によって次のサイクル、即ち第3のサイクルの間ラッチされる。

【0061】

第3のサイクルにおいて、第1のF/F回路121及び第2のF/F回路122から出力されるST125及びST126は、それぞれ第1のST/LSZ変換部131及び第2のST/LSZ変換部132によって対応するLSZ133及びLSZ134へ同サイクル中に変換される。

【0062】

また、現サイクルにおいては、図2のCX(9)に相当する画素の値が算術演算部106において複合化され、その複合化データ170はMPS/LSZセレクト信号生成部141を介して第3のセクタ105の選択信号143として用いられる。第3のセクタ105によって選択出力されたMPS135とLSZ136は算術演算部106へ入力される。

【0063】

第3のサイクルにおいて入力されたMPS135とLSZ136は、第4のサイクルにおいて算術演算に用いられ、図2の編み線部分に相当する画素の複合化データが算術演算部106から出力される。

【0064】

第4のサイクルにおいて算術演算部106は前記データを基に複合化処理を行い、第1のビットプレーンの注目ビットを複合化データ170として出力する。

【0065】

以上、ある注目画素が複合化される流れを追って説明したが、各処理ブロックについて着目すると、ある注目画素に関する処理を行ったサイクルの次のサイクルにおいては、その次の次の注目画素に関する処理を行う。

【0066】

以上のように1ビットモードにおいては、予測状態値を4つの予測状態メモリ181乃至184から並列に読み出し、更にSTからLSZの変換と算術演算とをパイプライン的に同時に行うことにより、高速な複合化を行っている。

【0067】

(4ビットモード時)

図3及び図4は、4ビットモード時、つまり4ビットの深さを持つ画像データを扱うときのCXの取り方を示す図である。

【0068】

図3(a)は第1のビットプレーン上の注目ビットに対するCXの取り方を示している。同一ビットプレーン上のビットを参照している。図3(b)は、第2のビットプレーン上の注目ビットに対するCXの取り方を示している。注目ビットと同じ第2のビットプレーン及び上位の第1のビットプレーン上のビットを参照している。

【0069】

図4(a)は第2のビットプレーン上の注目ビットに対するCXの取り方を示している。注目ビットと同じ第3のビットプレーン及び上位の第1のビットプレーン上のビットを参照している。図4(b)は、第4のビットプレーン上の注目ビットに対するCXの取り方を示している。注目ビットと同じ第4のビットプレーン及び上位の第1のビットプレーンと第2のビットプレーンと第3のビットプレーン上のビットを参照している。

【0070】

このように上位のビットプレーン上のビットのみを参照するのは、上位ビットから下位ビットに対する相関が強いという多値画像の性質による。

図5は、算術符号化処理を施す順番を示す図である。この図5に示す順番で復合化できるためには算術符号データ160も図5の順番で算術符号化処理を施す必要がある。図5のような復合化順序にする利点は、第2乃至第4のビットプレーン上の注目ビットに対するCXの要素のうちで1番最近に決定される直ぐ上位のビットは、5サイクル前に復合化対象になっていることである。従って、図1においてCX100がある注目ビットのCXを生成するとき、一番最近に復合化されたビットである直ぐ上位のビットは既に確定しているので、図2のCX(0)からCX(9)は全て決定している。

【0071】

4ビットモード時、画像データを復合化するときの動作を説明する。

【0072】

図1において、モード指定信号150により4ビットモードであることをCX生成部100、予測状態値セレクト信号生成部140、MPS/LSZセレクト信号生成部141及び予測状態更新部107に通知する。

【0073】

あるサイクルでCX生成部100では、図5の{i}、[1]の位置の注目ビットに対するCXを出力するものとする。前述のようにCXの全要素が確定している。説明の便宜上、このときのサイクルを第1のサイクルとする。

【0074】

次のサイクル、即ち第2のサイクルにおいて第1の予測状態メモリ181乃至第4の予測状態メモリ184は、前記CXをアドレスとするデータを同時に出力する。但し、第1ビットプレーンに対応する予測状態値は第1の予測状態メモリ181に保持されている。また、同様に第2ビットプレーンに対応する予測状態値は第2の予測状態メモリ182に保持されている。また、同様に第3ビットプレーンに対応する予測状態値は第3の予測状態メモリ183に保持されている。また、同様に第4ビットプレーンに対応する予測状態値は第4の予測状態メモリ184に保持されている。つまり、本サイクルの読み出しにおいては、第1の予測状態メモリ181からの読み出しデータであるMPS185、ST189だけが有効な出力である。

【0075】

予測状態値セレクト信号生成部140は、有効データが選択されるように予測状態値セレクト信号142を生成する。即ち、第1のセクタ111はMPS185、ST189を選択し、MPS113、ST115として第1のF/F回路121へ出力する。

【0076】

第3のサイクルにおいて第1のF/F回路121は前サイクルにおいてMPS113、ST115としてラッチしたデータをMPS123、ST125として出力する。第2のF/F回路122に保持されているデータは無効なデータである。従って、このサイクルにおいてはMPS123と第1のST/LSZ変換部

131の出力であるLSZ133を選択し、MPS135、ST136として出力するようにMPS/LSZセレクト信号生成部141は第3のセクタ105を制御する。

【0077】

第4のサイクルにおいて算術演算部106は前記データを基に複合化処理を行い、第1ビットプレーンの注目ビットを複合化データ170として出力する。

【0078】

以上、図5の{i}、[1]の位置のビットが複合化される流れを追って説明したが、各処理ブロックについて着目すると、図5の{i}、[1]の位置のビットに関する処理を行ったサイクルの次のサイクルにおいて、その次の処理ビットである図5の{i-1}、[2]の位置のビットに関する処理を行う。CX生成部100は、第1のサイクルで図5の{i}、[1]の位置のビットに対するCXを出力し、第2のサイクルで図5の{i-1}、[2]の位置のビットに対するCXを出力し、第3のサイクルで図5の{i-2}、[3]の位置のビットに対するCXを出力し、第4のサイクルで図5の{i-3}、[4]の位置のビットに対するCXを出力し、第5のサイクルで図5の{i+1}、[1]の位置のビットに対するCXを出力し、以下これを繰り返すものである。

【0079】

従って、予測状態メモリの出力に着目すると、第2のサイクルでは第1の予測状態メモリ181の出力データが有効であり、第3のサイクルでは第2の予測状態メモリ182の出力データが有効であり、第4のサイクルでは第3の予測状態メモリ183の出力データが有効であり、第5のサイクルでは第4の予測状態メモリ184の出力データが有効であり、というように続くものである。即ち、4ビットモードにおいて、予測状態値セレクト信号生成部140は各メモリ181乃至184の出力が順々に選択されるようにシーケンシャルにセレクト信号を切り換えていけばよい。

【0080】

第3のセクタ105について着目すると、第3のサイクルにおいて第1の予測状態メモリ181の出力データに対応するMPS123、LSZ133を選択

し、第4のサイクルにおいて第2の予測状態メモリ182の出力データに対応するMPS123、LSZ133を選択し、第5のサイクルにおいて第3の予測状態メモリ183の出力データに対応するMPS124、LSZ134を選択し、第6のサイクルにおいて第4の予測状態メモリ184の出力データに対応するMPS124、LSZ134を選択し、というように続くものである。即ち、4ビットモードにおいて、MPS/LSZセレクト信号生成部141はMPS123、LSZ133とMPS124、LSZ134がサイクルおきに順々に選択されるようにシーケンシャルにセレクト信号を切り換えていけばよい。

【0081】

以上のように4ビットモード時においては、4つの予測状態メモリ181乃至184をビットプレーンごとに割り当てている。

【0082】

(2ビットモード時)

図6は、2ビットモード時、つまり2ビットの深さを持つ画像データを扱うときのCXの取り方を示す図である。図6(a)は上位のビットプレーン上の注目ビットに対するCXの取り方を示している。同一のビットプレーン上のビットを参照している。図6(b)は第2のビットプレーン上の注目ビットに対するCXの取り方を示している。注目ビットと同じ第2のビットプレーン及び上位の第1のビットプレーン上のビットを参照している。

【0083】

このように上位のビットプレーン上のビットのみを参照するのは、上位ビットから下位ビットに対する相関が強いという多値画像の性質による。

【0084】

図7は、算術復号化処理を施す順番を示す図である。この図7に示す順番で復合化できるためには算術符号データ160も図7に示す順番で算術符号化を施す必要がある。図7のような復合化の順序にする利点は、ビットプレーン上の注目ビットに対するCXの要素のうちで一番最近に決定される直ぐ隣のビットは、2サイクル前に復合化対象になっていることである。従って、図1においてCX100がある注目ビットのCXを生成するとき、図6のCX(0)からCX(8)

は全て決定している。確定していないのは図6のCX(9)の1ビットのみである。

【0085】

あるサイクルでCX生成部100では、図7の上位ビットプレーンに相当する{i}、[1]の位置にある注目ビットに対するCX(0)乃至CX(8)までのコンテキストを生成し、出力したものとする。2ビットモードにおいて、CX生成部100のCX(9)は0に固定される。図6のCX(9)に相当する画素はまだ複合化されていないので特定できない。つまり、それらの値によってCXの値は2通りの場合が考えられる。説明の便宜上このときのサイクルを第1のサイクルとする。

【0086】

次のサイクル、即ち第2のサイクルにおいて第1の予測状態メモリ181乃至第4の予測状態メモリ184は、前記CXをアドレスとするデータを同時に出力する。但し、上位ビットプレーンに対応する予測状態値は第1の予測状態メモリ181と第2の予測状態メモリ182とに分割されて保持されている。また、同様に下位ビットプレーンに対応する予測状態値は第3の予測状態メモリ183と第4の予測状態メモリ184とに分割されて保持されている。また、このサイクルにおいて、CX(9)に相当する画素の値が算術演算部106において複合化され、その複合化データ170は予測状態値セレクト信号生成部140を介して第1のセクタ111の選択信号142として用いられる。第1のセクタ111によって選択出力されたMPS113及びST115は第1のF/F回路121によって次のサイクル、即ち第3のサイクルの間ラッチされる。

【0087】

第3のサイクルにおいて、第1のF/F回路121から出力されるST125は第1のST/LSZ変換部131によって対応するLSZ133へ同サイクル中に変換される。第2のF/F回路122の出力データは無効なデータである。従って、このサイクルにおいてはMPS123と第1のST/LSZ変換部131の出力であるLSZ133とを選択し、MPS135、ST136として出力するようにMPS/LSZセレクト信号生成部141は第3のセクタ105を

制御する。

【0088】

第4のサイクルにおいて算術演算部106は前記データを基に複合化処理を行い、第1ビットプレーンの注目ビットを複合化データ170として出力する。

【0089】

以上、図7の{i}、[1]の位置のビットが複合化される流れを追って説明したが、次の処理ビットデータである図7の{i-1}、[2]の位置のビットは下位ビットプレーンに属する。

【0090】

図6(b)に示すようなCX(0)乃至CX(8)は第2のサイクルにおいてCX生成部100から出力される。

【0091】

次の第3のサイクルにおいて第1の予測状態メモリ181乃至第4の予測状態メモリ184は、前記CXをアドレスとするデータを同時に出力する。前述のように下位ビットプレーンに対応する予測状態値は第3の予測状態メモリ183と第4の予測状態メモリ184とに分割されて保持されている。このサイクルにおいて図6(b)のCX(9)に相当する画素の値が算術演算部106において複合化され、その複合化データ170は予測状態値セレクト信号生成部140を介して第2のセクタ112の選択信号142として用いられる。第2のセクタ112によって選択出力されたMPS114、ST116は第2のF/F回路122によって次のサイクル、即ち第4のサイクルの間ラッチされる。

【0092】

第4のサイクルにおいて、第2のF/F回路122から出力されるST126は第2のST/LSZ変換部132によって対応するLSZ134へ同サイクル中に変換される。第1のF/F回路121の出力データは無効なデータである。従って、このサイクルにおいてはMPS124と第2のST/LSZ変換部132の出力であるLSZ134とを選択し、MPS135、ST136として出力するようにMPS/LSZセレクト信号生成部141は第3のセクタ105を制御する。

【0093】

第5のサイクルにおいて算術演算部106は前記データを基に複合化処理を行い、第1ビットプレーンの注目ビットを複合化データ170として出力する。

【0094】

第3のセクタ105について着目すると、第3のサイクルにおいては上位ビットプレーンに対応するデータであるMPS123とLSZ133とを選択し、第4のサイクルにおいては下位ビットプレーンに対応するデータであるMPS124とLSZ134とを選択し、というように続くものである。即ち、2ビットモードにおいて、MPS/LSZセレクト信号生成部141は、MPS123とLSZ133及びMPS124とLSZ134が順々に選択されるようにシーケンシャルにセレクト信号を切り換えればよい。

【0095】

また、本実施の形態に係る算術複合化装置は、記憶媒体に格納された制御プログラムをコンピュータが読み出して実行することにより、上述した本実施の形態の機能が実現されるものであるが、本発明はこれに限定されるものではなく、前記制御プログラムの指示に基づきコンピュータ上で稼働しているOS（オペレーティングシステム）等の実際の処理の一部または全部を行い、その処理によって上述した本実施の形態の機能が実現される場合も含まれることは言うまでもない。

【0096】

また、制御プログラムを格納する記憶媒体としては、例えば、フロッピーディスク、ハードディスク、光ディスク、光磁気ディスク、CD-ROM（Compact Disk Read Only Memory）、CD-R（Compact Disk Recordable）、磁気テープ、不揮発性メモリカード、ROMチップ等を用いることができる。

【0097】

【発明の効果】

以上詳述したように本発明の算術複合化方法及び装置によれば、2値画像と多値画像の両方を処理することができると共に、安価に提供できる。

【 0 0 9 8 】

また、本発明の記憶媒体によれば、上述した本発明の算術複合化装置を円滑に制御することができる。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施の形態に係る算術複合化装置の構成を示すブロック図である。

【図 2】

本発明の第 1 の実施の形態に係る算術複合化装置において 2 値の画像データを扱うときの C X の取り方を示す図である。

【図 3】

本発明の第 1 の実施の形態に係る算術複合化装置において 4 ビットの深さを持つ画像データを扱うときの C X の取り方を示す図である。

【図 4】

本発明の第 1 の実施の形態に係る算術複合化装置において 4 ビットの深さを持つ画像データを扱うときの C X の取り方を示す図である。

【図 5】

本発明の第 1 の実施の形態に係る算術複合化装置において算術複合化処理を施す順番を示す図である。

【図 6】

本発明の第 1 の実施の形態に係る算術複合化装置において 2 ビットの深さを持つ画像データを扱うときの C X の取り方を示す図である。

【図 7】

本発明の第 1 の実施の形態に係る算術複合化装置において算術複合化処理を施す順番を示す図である。

【符号の説明】

- 1 0 0 C X 生成部
- 1 0 1 C X (コンテキスト)
- 1 0 5 第 3 のセレクタ

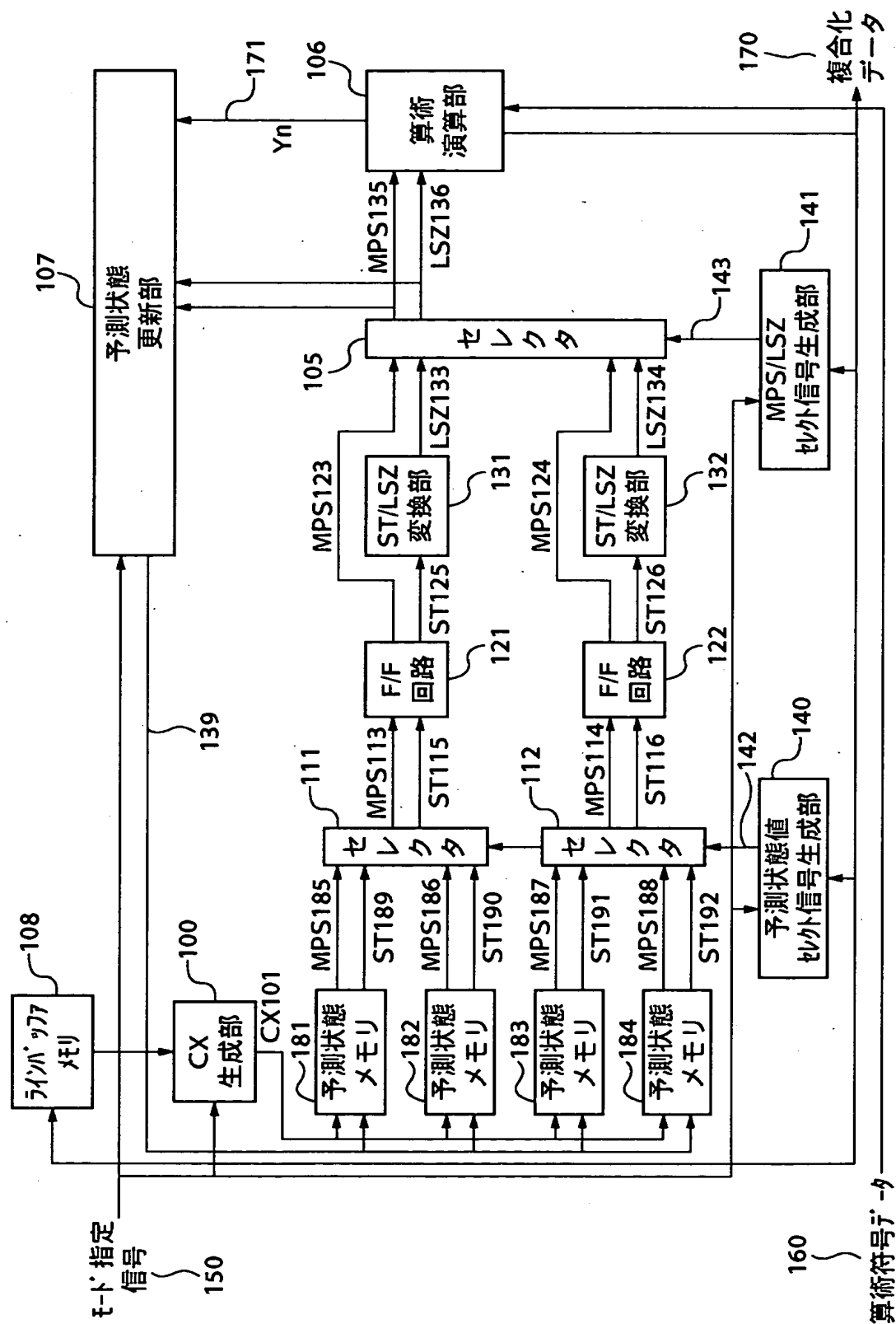
- 1 0 6 算術演算部
- 1 0 7 予測状態更新部
- 1 0 8 ラインバッファメモリ
- 1 1 1 第 1 のセクタ
- 1 1 2 第 2 のセクタ
- 1 1 3 M P S (予測値)
- 1 1 4 M P S (予測値)
- 1 1 5 S T (状態値)
- 1 1 6 S T (状態値)
- 1 2 1 第 1 の F / F (フリップフロップ) 回路
- 1 2 2 第 2 の F / F (フリップフロップ) 回路
- 1 2 3 M P S (予測値)
- 1 2 4 M P S (予測値)
- 1 2 5 S T (状態値)
- 1 2 6 S T (状態値)
- 1 3 1 第 1 の S T / L S Z 変換部
- 1 3 2 第 2 の S T / L S Z 変換部
- 1 3 3 L S Z (確立推定値)
- 1 3 4 L S Z (確立推定値)
- 1 3 5 M P S (予測値)
- 1 3 6 L S Z (確立推定値)
- 1 3 9 予測状態値
- 1 4 0 予測状態値セレクト信号生成部
- 1 4 1 M P S / L S Z セレクト信号生成部
- 1 4 2 予測状態値セレクト信号
- 1 4 3 M P S / L S Z セレクト信号
- 1 5 0 モード指定信号
- 1 6 0 算術符号データ
- 1 7 0 複合化データ

- 1 7 1 Y n 信号
- 1 8 1 第 1 の予測状態メモリ
- 1 8 2 第 2 の予測状態メモリ
- 1 8 3 第 3 の予測状態メモリ
- 1 8 4 第 4 の予測状態メモリ
- 1 8 5 M P S (予測値)
- 1 8 6 M P S (予測値)
- 1 8 7 M P S (予測値)
- 1 8 8 M P S (予測値)
- 1 8 9 S T (状態値)
- 1 9 0 S T (状態値)
- 1 9 1 S T (状態値)
- 1 9 2 S T (状態値)

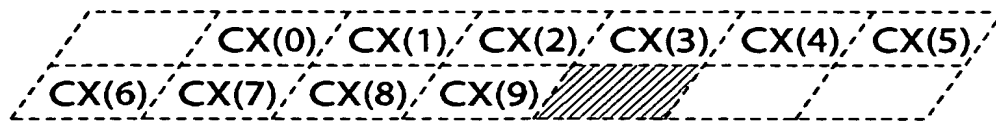
【書類名】

凶面

【図 1】



【図 2】



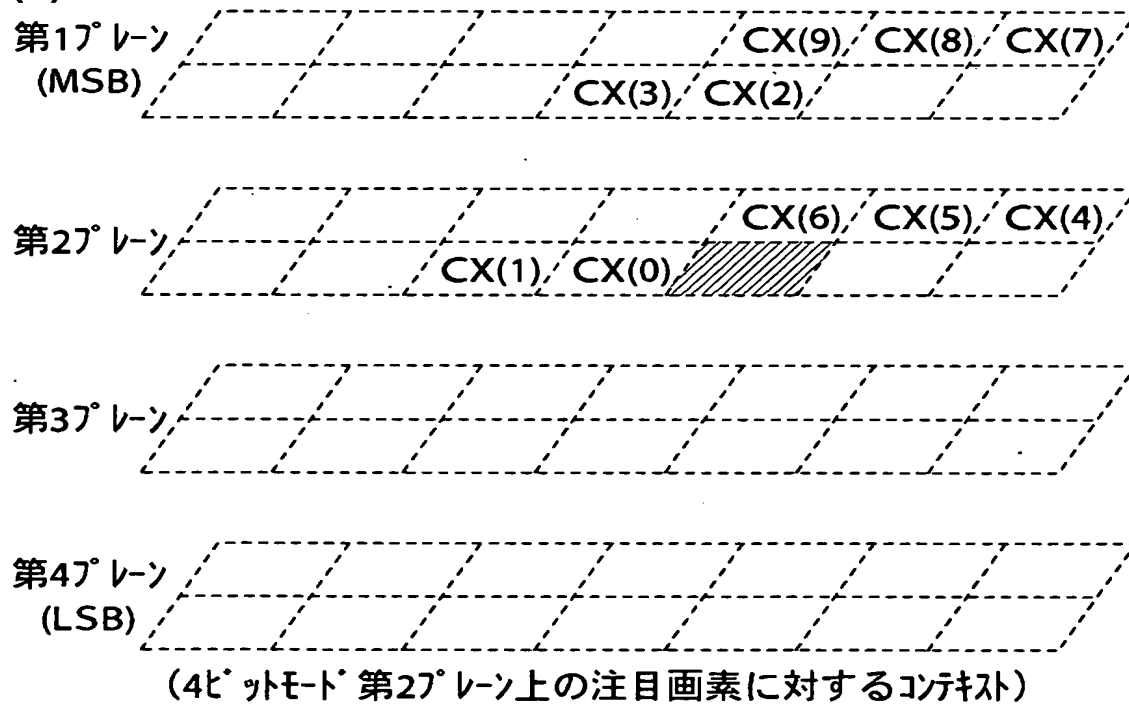
1ビット画像の注目画素に対するコンテキスト

【図 3】

(a)

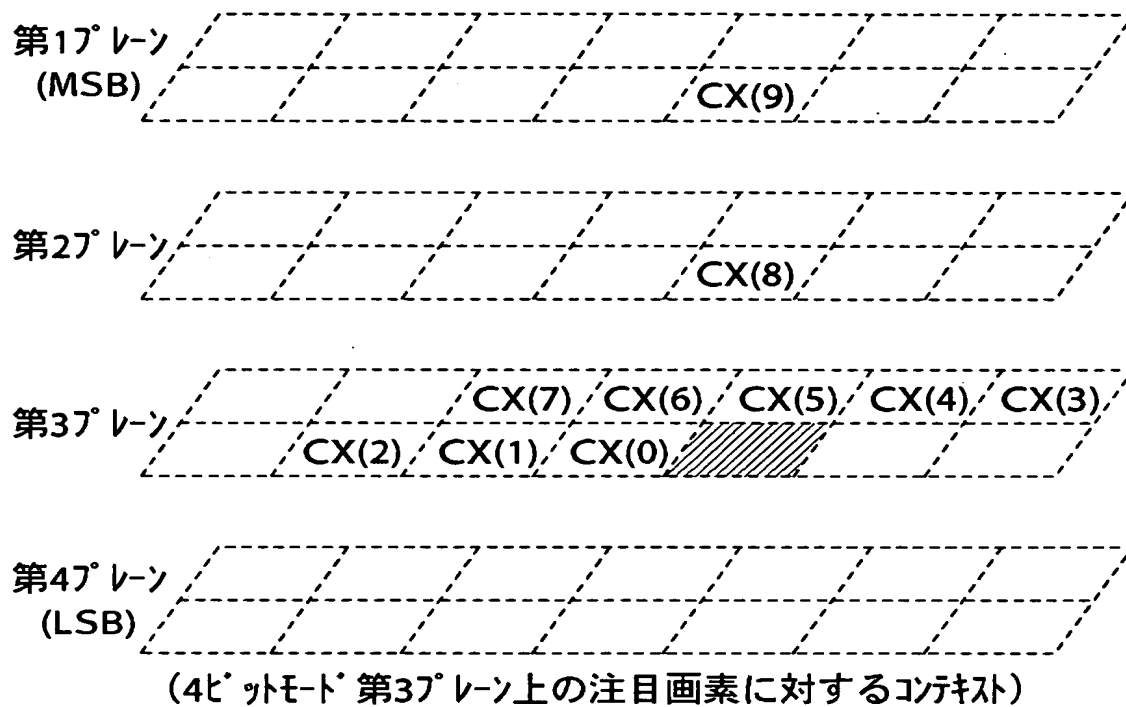


(b)

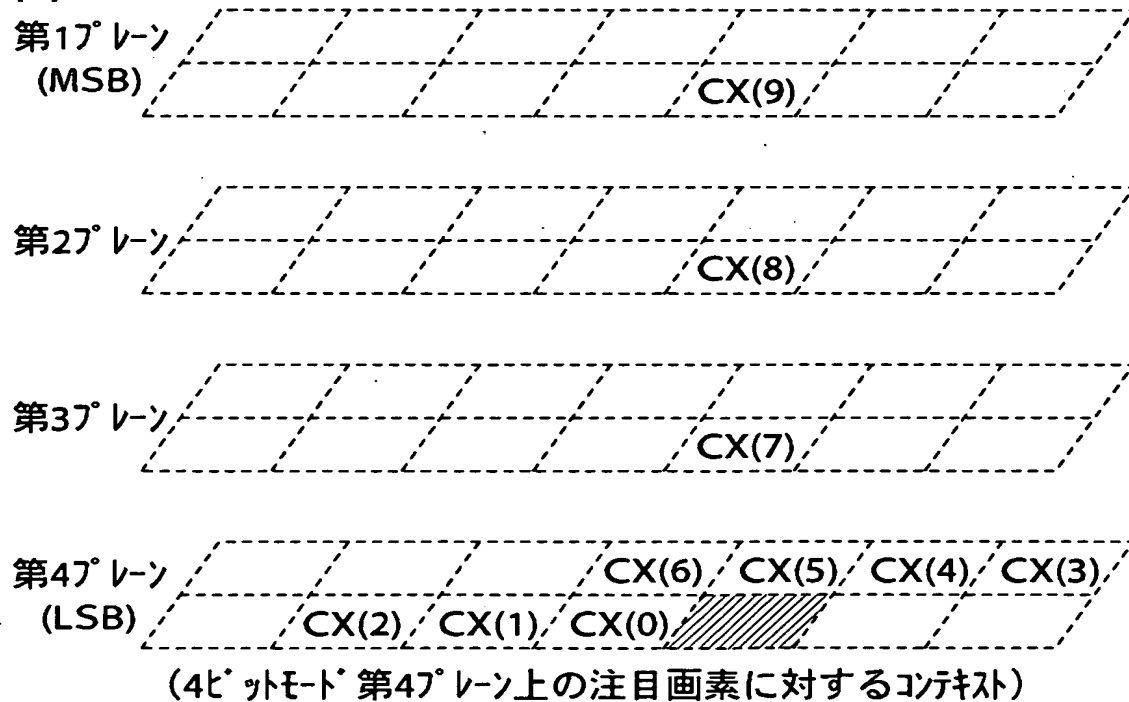


【図4】

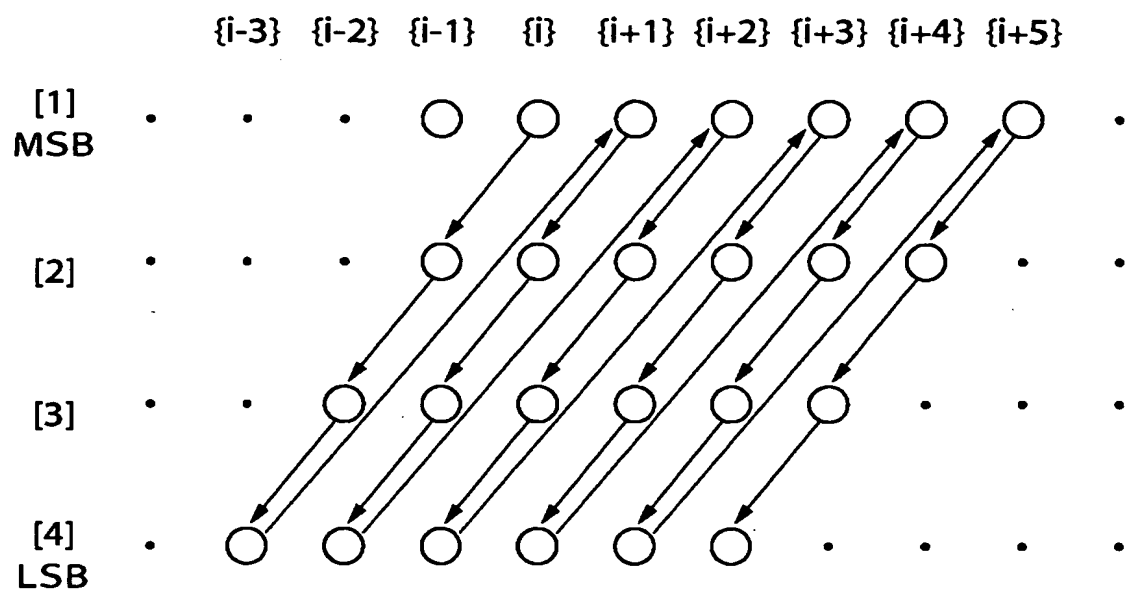
(a)



(b)

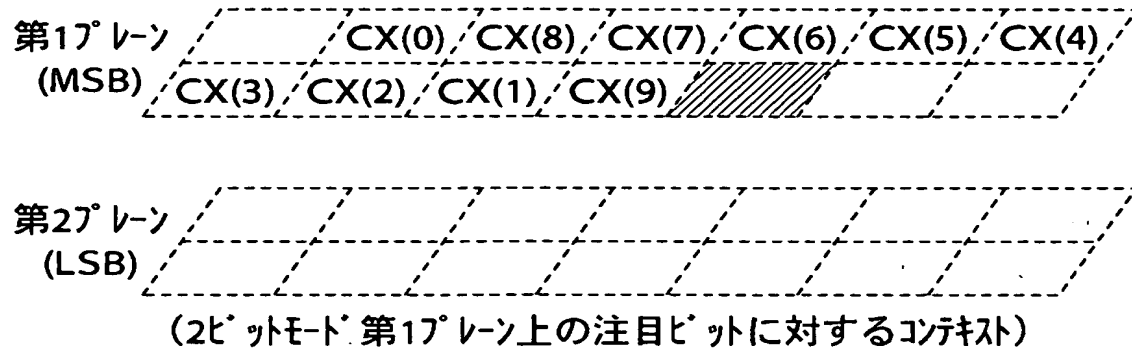


【図 5】

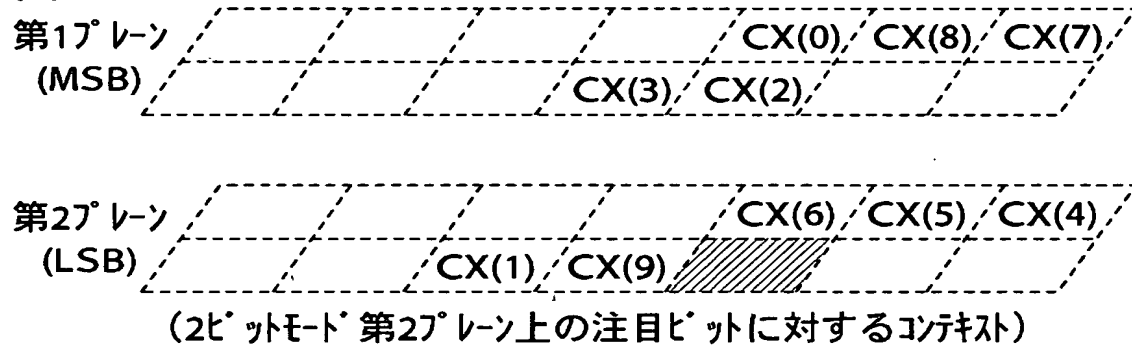


【図 6】

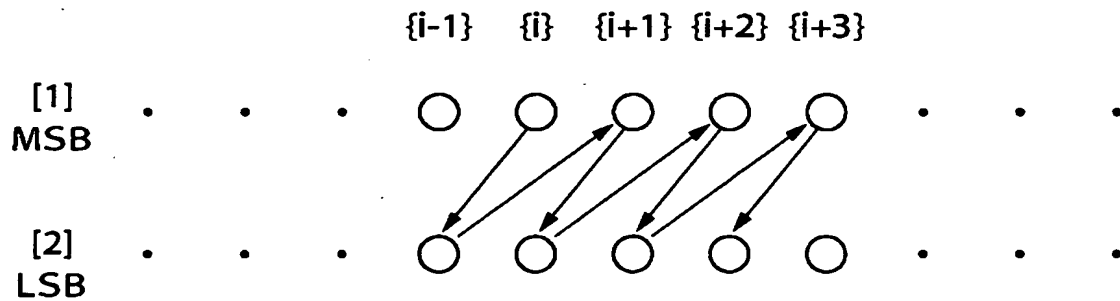
(a)



(b)



【図 7】



【書類名】 要約書

【要約】

【課題】 2 値画像と多値画像の両方を処理することができる安価な算術復合化方法及び装置を提供する。

【解決手段】 ビットプレーンからなる画像データを算術復合化した算術符号を復合化する算術復合化装置であって、対応可能な画像のうちで最も多いビットプレーン層数を4としたとき個別にアクセス可能な4個のメモリ181乃至184と、算術演算部106とを具備し、算術演算部106は、4ビットの画像データを復合化する際には4個のメモリ181乃至184のそれぞれに各ビットプレーンの対象画素に対応する予測値(MPS)と状態値(ST)とを保持し復合化し、4未満のビットの画像データを復合化する際には1つのビットプレーンの対象画素に対応する予測値と状態値とを4個のメモリ181乃至184の一部または全てに分割して保持し復合化するように制御する。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000001007]

1. 変更年月日 1990年 8月30日
[変更理由] 新規登録
住 所 東京都大田区下丸子3丁目30番2号
氏 名 キヤノン株式会社